



[12] 发明专利申请公开说明书

[21] 申请号 98100320.6

[43]公开日 1998年10月7日

[11] 公开号 CN 1195224A

[22]申请日 98.1.9

[30]优先权

[32]97.1.10 [33]JP[31]003109/97

[71]申请人 日本电气株式会社

地址 日本东京都

[72]发明人 山口裕

[74]专利代理机构 中科专利代理有限责任公司

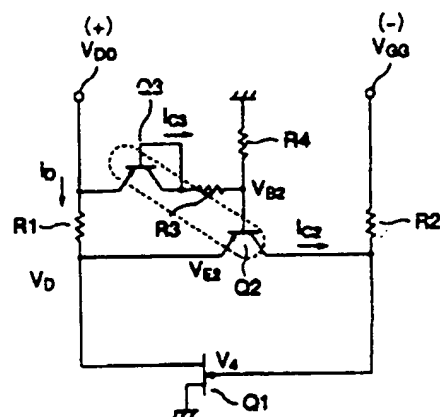
代理人 刘晓峰 张祥龄

权利要求书 2 页 说明书 10 页 附图页数 5 页

[54]发明名称 用于场效应晶体管放大器的偏压电路

[57]摘要

在具有源极接地的 FETQ 的直流偏压电路中，为了不论直流参数作何变化都能维持 FET 的漏源电压和漏极电流的自动恒定，在 FETQ1 漏极与栅极之间设置第一 PNP 晶体管 Q₂。包括一第二 PNP 晶体管 Q₃ 的偏压电路与第一 PNP 晶体管 Q₂ 的基极相连。晶体管 Q₂ 和 Q₃ 具有大致一样的特性以致由于晶体管 Q₂ 的因温度而引发的发射极—基极电压的变化而造成的漏极电压与漏极电流的变化可以被补偿，从而防止了漏极电流的实质性变化。



权 利 要 求 书

1、一种用于具有一个场效应晶体管的场效应晶体管放大器的偏压电路，其特征在于，具有一个与第一电源相连的漏极端、一与第二电源相连的栅极端和一个接地的源极端，其特征在于其中包括：

连接在所述场效应晶体管的所述漏极端与所述栅极端之间的第一晶体管；及

连接在所述第一电源与所述第一晶体管的基极端子之间的第二晶体管。

2、根据权利要求1所述的偏压电路，其特征在于其中所述第一和第二晶体管具有基本相同的发射极-基极电压特性。

3、根据权利要求1所述的偏压电路，其特征在于所述第一和第二晶体管被设置在一个芯片内。

4、根据权利要求1所述的偏压电路，其特征在于所述第一晶体管通过基极电阻接地。

5、根据权利要求1所述的偏压电路，其特征在于所述第二晶体管具有一个基极和一个直接与所述基极相连的发射极。

6、根据权利要求1所述的偏压电路，其特征在于其中所述场效应晶体管为N沟道结型晶体管，所述第一和第二晶体管为PNP晶体管，所述第一电源为正直流电源且所述第二电源为负直流电源。

7、根据权利要求1所述的偏压电路，其特征在于其中所述场效应晶体管为p沟道耗尽型晶体管，所述第一和第二晶体管为NPN晶体管，所述第一电源为负直流电源而所述第二电源为正直流电源。

8、根据权利要求4所述的偏压电路，其特征在于所述基极电阻为可变电阻。

9、根据权利要求1所述的偏压电路，其特征在于其中所述场效应晶体管放大器为微米波段的高频放大器。

10、一种用于具有场效应晶体管的场效应晶体管放大器的偏压电路具有一个与正直流电源相连的漏极端、与负直流电源相连的栅极端及一接地的源极端，其特征在于，其中包含：

连接在所述场效应晶体管的所述漏极端与所述栅极端之间的第一 PNP 晶体管；

连接在所述场效应晶体管的所述漏极端与所述正直流电源之间的第一电阻；

连接在所述场效应晶体管的所述栅极端与所述负直流电源之间的第二电阻；

连接在所述正直流电源与所述第一 PNP 晶体管的基极端之间的第二 PNP 晶体管具有一个基极和一个直接与所述基极相连的发射极，其中所述第一和第二 PNP 晶体管的发射极一基极电压特性基本相同。

11、一种用于具有场效应晶体管的场效应晶体管放大器的偏压电路，具有一个与负直流电源相连的漏极端、与正直流电源相连的栅极端和一个接地的源极端，其特征在于，其中包含：

连接在所述场效应晶体管的所述漏极端与所述栅极端之间的第一 NPN 晶体管；

连接在所述场效应晶体管的漏极端与所述负直流电源之间的第一电阻；

连接在所述场效应晶体管的所述栅极端与所述正直流电源之间的第二电阻；

第二 PNP 晶体管连接在所述正直流电源与所述第一 PNP 晶体管的基极端之间，其具有一个基极和一个直接与所述基极相连的发射极，其中所述第一和第二 PNP 晶体管的发射极一基极电压特性基本相同。

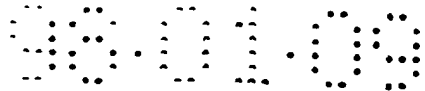
用于场效应晶体管放大器的偏压电路

本发明涉及用于场效应晶体管 (FET) 的偏压电路, 且尤其涉及用于场效应晶体管微波放大器的用以维持场效应晶体管的漏极电流为恒定值的偏压电路。

例如, 在日本专利申请公开平 3-11682 中揭示了一种此类用于场效应晶体管放大器的常规偏压电路。所揭示的常规偏压电路被用于即使当由于某种原因而使得场效应晶体管的直流参数发生变化时也能自动地维持场效应晶体管的漏源电压, 以及因此而使其漏极电流都处于恒定值。图 7 为已公开的用于场效应晶体管放大器的常规偏压电路的电路图。在用于图 7 中所示的接地源极型场效应晶体管 Q_1 的直流偏压电路中, FET Q_1 的栅极电极通过电阻 R_2 与负电源 VGG 相连而且其中的漏极电极通过电阻 R_1 与正电源 VDD 相连。PNP 双极晶体管 Q_2 的集电极与位于 FET Q_1 的栅极电极与电阻 R_2 之间的结相连, 而 PNP 双极晶体管 Q_2 的发射极与位于 FET Q_1 的漏电极和电阻 R_1 之间的结相连。此外, PNP 双极晶体管的基极电极通过电阻 R_6 与正电源 VDD 相连并通过电阻 R_7 接地。此偏压电路的特征在于其工作于补偿由于 FET 的直流参数的变化而引起的 FET Q_1 的漏极电流及因此而引起的漏源电压的变化。

此外, 根据上述的电路结构, 可以自动地将 FET 的漏源电压及漏极电流维持在各个恒定值处。

下面详细描述图 7 中所示的偏压电路的上述操作。偏压电路由 FET Q_1 、PNP 双极晶体管 Q_2 、及电阻 R_1 、 R_2 、 R_6 、和 R_7



组成。电阻 R_1 的值是这样选择的，即当预定漏极电流流过 FET 时，漏源电压变为预定值而电阻 R_6 和 R_7 决定了被提供到 PNP 双极晶体管 Q_2 的基极的基准电压。所确定的基准电压应比漏源电压低，使其差值与基极—发射极电压相对应。电阻 R_2 的值是这样选出的，即当 PNP 双极晶体管 Q_2 的集电极电流流过时，与集电极电流的变化相对应的电压被提供给 FET Q_1 的栅极电极。

假设由于某种原因 FET Q_1 的直流参数产生变化而漏极电流也相应地被减小，通过电阻 R_1 的电压降也由于漏极电流的降低而降低并因此使得 FET Q_1 的漏源电压升高。然后，PNP 双极晶体管的基极—发射极电压被升高，基极电流被升高且因此集电极电流也升高。因为由于集电极电流的升高使得通过电阻 R_2 的电压降更大，因此被提供给 FET Q_1 的栅极的电压也即栅源电压被降低。因此，漏极电流被升高且由此漏极电流和漏源电压被维持为常数。

在上述的常规技术中，PNP 晶体管 Q_2 的发射极—基极电压随温度的变化而变化，因此，FET Q_1 的漏极电压随温度的变化值与发射极—基极电压的变化值对应。漏极电流依赖于漏极电压与被提供给电阻 R_1 的正向电源电压 V_{DD} 之间的差值。因此，当将漏极电压设定在正向正源电压 V_{DD} 的附近时，加在电阻 R_1 两端的电压变小且漏极电压变化对漏极电流变化的影响变大。其结果，漏极电流会激烈地变化。因此，当 FET Q_1 的漏极电压设定在正电源电压 V_{DD} 的附近时，例如在正电源电压 V_{DD} 被设定较低的情况下，不可能维持恒定的漏极电流。

本发明的一个目的是提供一种 FET 放大器的偏压电路，那么即使 FET 的漏极电压被设定在放大器的正电源电压的电压附近，也可以通过它以防止由于温度变化而造成的放大器的 FET 的漏极电流的实质性变化。

根据本发明，接地电源型 FET 放大器的偏压电路的特征在于第一晶体管被连接在 FET 的漏电极与栅电极之间；而第二晶

晶体管被与 FET 的漏极电阻及第一晶体管相连。

此外，第二晶体管的基极直接与发射极相连。

根据本发明的偏压电路其特征在于第一晶体管的发射极—基极电压特性基本上与第二晶体管的发射极—基极电压特性相同。

此外，当 FET 为 N 沟道结型时第一和第二晶体管为 PNP 晶体管而当 FET 为 P 沟道结型时第一和第二晶体管为 NPN 晶体管。

此外，本发明的偏压电路的特征在于还包括用于调节第一晶体管的基极电压的装置。

在根据本发明的偏压电路中，还在为 PNP 晶体管 Q_2 提供基极电势的偏压电路中的偏压电路部分内，另外设置一个 PNP 晶体管 Q_3 ，其具有一个基极和一个直接与基极相连的集电极并与 PNP 晶体管 Q_2 具有同一类型。当 PNP 晶体管 Q_2 的发射极—基极电压随温度变化而变化时，PNP 晶体管 Q_3 的发射极—基极电压类似地随 PNP 晶体管 Q_2 的发射极—基极电压的变化而变化，从而 PNP 晶体管 Q_2 的基极电势也变化。因此，TET Q_1 的漏极电压基本上变为常数并且即使当漏极电压被设定在 FET 放大器的正电源电压 VDD 的附近时漏极电流也维持在恒定值。

图 1 为根据本发明的第一个实施例的 FET 放大器的偏压电路的电路图；

图 2 为示出图 1 中所示的偏压电路的各个部分的电压—温度特性的示意图；

图 3 为示出图 1 中的偏压电路的 FET 的漏极电流—温度特性的示意图；

图 4 为根据本发明的与现有技术相比较的 FET 的漏极电流的变化率与 FET 的温度和漏极电压间关系的示意图；

图 5 为根据本发明第二实施例的用于 FET 的偏压电路的电路图；

图 6 为根据本发明第三个实施例的用于 FET 的偏压电路的电路图；及

图 7 为常规用于 FET 放大器的偏压电路的电路图。

下面参考附图对本发明的最佳实施例进行描述。

图 1 为根据本发明第一个实施例的 FET 放大器的偏压电路的电路图。在图 1 中，接地源极型 FETQ₁ 的直流偏压电路包括一个 PNP 晶体管 Q₂ 和一个 PNP 晶体管 Q₃，其中晶体管 Q₂ 具有一个与 FETQ₁ 的漏极相连的发射极以及其通过电阻 R₁ 与正电源 VDD 相连，并且 PNP 晶体管 Q₂ 具有一个与 FETQ₁ 的栅极相连的集电极且其通过电阻 R₂ 与负电源 VGG 相连，另外其中的 PNP 晶体管 Q₃ 具有一个与正电源 VDD 相连的发射极、一个基极和一个直接与基极相连的集电极，且基极和集电极通过电阻 R₃ 与 PNP 晶体管 Q₂ 的基极相连并通过电阻 R₄ 与地相连。

下面参考图 2 详细描述图 1 中所示的偏压电路的操作。

在图 2 中，VE₂ 表示 PNP 晶体管 Q₂ 的发射极电势、VB₂ 表示基极电势、VEB₂ 表示发射极—基极电压、△VEB₂ 表示温度引起的发射极—基极电压的变化、VEB₃ 表示 PNP 晶体管 Q₃ 的发射极—基极电压，△VEB₃ 表示温度引起的 P 晶体管 Q₃ 的发射极—基极电压的变化以及 VDD 表示正电源 VDD 的电压值。为了简化数学运算，PNP 晶体管 Q₁ 和 Q₃ 的基极电流被假设为小到可以忽略。

电阻 R₁ 的值是这样确定的，当预定的漏极电流 I_D 流过时，FETQ₁ 的漏极电压 VD 根据下面的方程（1）变为预定值

$$R_1 = \frac{VDD - VD}{I_D} \dots\dots (1)$$

当在将漏极电压 VD 设定在正电源的电压 VDD 的附近情况下，电阻 R₁ 的值被设定在从几欧姆到几百欧姆的范围内。

PNP 晶体管 Q₂ 的集电极电流 IC₂ 流过电阻 R₂ 并且将与集电

极电流 IC_2 的变化相对应的电压根据下面的方程 (2) 提供给 FET Q_1 的栅极 :

$$R_2 = \frac{V_{GG} - V_4}{IC_2} \dots (2)$$

由于集电极电流 IC_2 针对 FET Q_1 的漏极电流 ID 必须被设定得足够小, 因此电阻 R_2 的值就应从几千欧姆到几百千欧的范围内选出。电阻 R_3 及 R_4 决定了 PNP 晶体管 Q_2 的基极电势 VB_2 并且基极电势 VB_2 的数值就比 FET Q_1 的漏极电压 VD 值低一个发射极—基极的电压值。在此情况下, PNP 晶体管 Q_3 的集电极电流被设定为基本上等于 PNP 晶体管 Q_2 的集电极电流 IC_2 。电阻 R_3 的数值范围为从几百欧姆到几千欧姆且电阻 R_4 的数值范围从几千欧姆到几百千欧姆之间。通过用与正电源的电压 V_{DD} 与 PNP 晶体管 Q_3 的发射极—基极电压 ($VEB_3 + \Delta VEB_3$) 间的差相应处用电阻 R_3 和 R_4 来进行分压后, 获得 PNP 晶体管 Q_2 的基极电势 VB_2 , 并用下面方程 (3) 表示 :

$$VB_2 = \frac{R_4}{R_3 + R_4} \times \{V_{DD} - (VEB_3 + \Delta VEB_3)\} \dots (3)$$

在此情况下用图 2 中的曲线 VB_2 表示 PNP 晶体管 Q_2 的基极电势随温度的变化而产生的改变。

FET Q_1 的漏极电压 VD 为 PNP 晶体管 Q_2 的基极电势 VB_2 和 PNP 晶体管 Q_2 的发射极—基极电压 ($VEB_2 + \Delta VEB_2$) 的和并用下列公式 (4) 表示 :

$$VD = VB_2 + (VEB_2 + \Delta VEB_2) \dots (4)$$

从公式 (3) 和 (4), 可获得下面的公式 (5) :

$$VD = \frac{R_4}{R_3 + R_4} \cdot V_{DD} + \{VEB_2 + \Delta VEB_2 - \frac{R_4}{R_3 + R_4} \cdot (VEB_3 + \Delta VEB_3)\} \dots (5)$$

为了理解公式 (5), 在假设 PNP 晶体管 Q_2 和 Q_3 基本上是相类似的产品且具有大致一样的能引起发射极—基极电压变化的温度的情况下, 也即 $VEB_2 \doteq VEB_3$ 及 $\Delta VEB_2 \doteq \Delta VEB_3$, 公式 (5) 还可简化为后面的公式 (6)。在此情况下, 图 2 中示出了 $VEB_2 + \Delta VEB_2$ 和 $VEB_3 + \Delta VEB_3$ 。

$$VD = \frac{R_4}{R_3 + R_4} \cdot VDD + \frac{R_3}{R_3 + R_4} \cdot (VEB_2 + \Delta VEB_2) \quad \dots (6)$$

从公式 (6) 很清楚地看出, 由于公式 (6) 的右边的第一项要比第二项大很多, 因此在不考虑温度变化的情况下漏极电压 VD 大致为常数。

图 2 中的曲线 VD 示出了此情况。

通过用公式 (6) 对 ΔVEB_2 的微分可以获得如下方程, 它表示了造成 PNP 晶体管 Q_2 的发射极—基极电压变化的温度对漏极电压 VD 的影响。

$$\frac{\Delta VD}{\Delta VEB_2} = \frac{R_3}{R_3 + R_4} \quad \dots (7)$$

另一方面, 根据现有技术的偏压电路, 通过如下的电阻 R_7 对电阻 $(R_6 + R_7)$ 的和比率可以给出 PNP 晶体管的基极电势 VB' :

$$VB' = \frac{R_7}{R_6 + R_7} \cdot VDD \quad \dots (8)$$

由于 FET Q_1 的漏极电压 VD' 为基极电势 VB_2' 和发射极—基极电压 $(VEB_2 + \Delta VEB_2)$ 的和, 可通过如下的方程 (9) 来表示:

$$VD' = \frac{R_7}{R_6 + R_7} \cdot VDD + (VEB_2 + \Delta VEB_2) \quad \dots (9)$$

通过方程 (9) 对 ΔV_{EB2} 的微分, 可获得如下的方程:

$$\frac{\Delta V_{D'}}{\Delta V_{EB2}} = 1 \quad \dots (10)$$

将方程 (7) 与方程 (10) 进行比较, 很明显地, 在根据本发明的偏压电路中, 与现有技术中的情况相比, 造成 PNP 晶体管 Q_2 的发射极-基极电压变化的温度对 FET Q_1 的漏极电压的影响被限于 $R_3 / (R_3 + R_4)$ 。

此外, 通过如下的方程 (11) 可获得流过 FET Q_1 的漏极电流 I_D :

$$I_D = \frac{V_{DD} - V_D}{R_1} \quad \dots (11)$$

通过方程 (6) 及 (11), 可得到如下方程:

$$I_D = \frac{1}{R_1} \cdot \frac{R_3}{R_3 + R_4} \cdot (V_{DD} - (V_{EB2} + \Delta V_{EB2})) \quad \dots (12)$$

通过用方程 (12) 对 ΔV_{EB2} 微分可以获得如下的方程, 它表示了造成 PNP 晶体管 Q_2 的发射极-基极电压的变化的温度对漏极电流的影响:

$$\frac{\Delta I_D}{\Delta V_{EB2}} = -\frac{1}{R_1} \cdot \frac{R_3}{R_3 + R_4} \quad \dots (13)$$

类似地, 流过现有技术偏压电路的漏极电流 I_D 变为如下:

$$I_{D'} = \frac{V_{DD} - V_{D'}}{R_1} \quad \dots (14)$$

通过方程 (9) 及 (14) 的组合, 可获得如下方程:

$$I_D = \frac{1}{R_1} \cdot \left\{ \frac{R_6}{R_5 + R_7} \cdot V_{DD} - (V_{EB2} + \Delta V_{EB2}) \right\} \dots (15)$$

通过用方程 (15) 对 ΔV_{EB2} 进行微分可获得如下的方程它表示了造成 PNP 晶体管 Q_2 的发射极—基极电压的变化的温度对漏极电流的影响：

$$\frac{\Delta I_D'}{\Delta V_{EB2}} = \frac{-1}{R_1} \dots (16)$$

通过用方程 (13) 与方程 (16) 进行比较, 很清楚地看出, 在根据本发明的用于 FET 的偏压电路中, 与现有技术偏压电路中的情况相比, 造成 PNP 晶体管 Q_2 的发射极—基极电压变化的温度对 FET Q_1 的漏极电流的影响被限于 $R_3/(R_3 + R_4)$ 。

虽然, 为了简化描述, PNP 晶体管 Q_2 及 Q_3 已经被描述成具有基本相同的基极—发射极电压特性及相同的造成基极—发射极电压变化的温度, 但实际上很难获得具有相同特性的晶体管。

然而, 当选择了同类的晶体管时, 它们间的差别非常小而且可以充分限制漏极电流的变化。当来用同时包括两个 PNP 晶体管 Q_2 和 Q_3 的 PNP 晶体管集成电路时, 所获得的 PNP 晶体管就有可能具有实质上相同的特性。

现在, 参考附图对本发明的最佳实施例进行详细描述。参考图 1, 使用作为放大 FET Q_1 的 GaAsFET 来放大具有微米波长范围的频率的信号。GaAsFET Q_1 具有与作为 PNP 晶体管 Q_2 的硅 PNP 晶体管的发射极相连的漏极且通过作为电阻 R_1 的芯片电阻与正电源 V_{DD} 相连, 以及具有与作为 PNP 晶体管 Q_2 的硅 PNP 晶体管的集电极相连的栅极另外还通过作为电阻 R_2 的芯片电阻与负电源 V_{GG} 相连。作为与硅 PNP 晶体管 Q_2 同类的 PNP 晶体管 Q_3 的硅 PNP 晶体管具有与正电源 V_{DD} 相连的发射极、基极和与基极相连的集电极, 并通过作为电阻 R_3 的芯片电阻与硅 PNP 晶体管 Q_2 的基极相连和通过作为电阻 R_4 的芯片电阻与地相

连。

下面将参考图 3 对此实施例的工作进行详细描述, 假设正电源电压 $V_{DD}=+3.3V$ 、 $V_{EB2}=V_{EB3}=+0.7V$ 、 $\Delta V_{EB2}=\Delta V_{EB3}=+0.1V$ (在 $-25^{\circ}C$)、 $\Delta V_{EB2}=\Delta V_{EB3}=0V$ ($+25^{\circ}C$)、 $\Delta V_{EB2}=\Delta V_{EB3}=-0.1V$ ($+75^{\circ}C$) (双极晶体管的发射极-基极电压的温度特性通常被认为是 $-2mV/^{\circ}C$) , 负电源电压 $V_{GG}=-3V$ 、 $R_1=30\Omega$ 、 $R_2=24K\Omega$ 、 $R_3=3K\Omega$ 、 $R_4=23K\Omega$ 、 $R_6=10K\Omega$ 、及 $R_7=23K\Omega$ 。

通过方程 (3) 可以得到 PNP 晶体管 Q_2 的基极电压 V_{B_2} , 也即在 $-25^{\circ}C$ 时, $V_{B_2}=2.212V$; 在 $+25^{\circ}C$ 时为 $2.3V$; 在 $+75^{\circ}C$ 时为 $2.388V$ 。

通过方程 (4) 可以得到 FET Q_1 的漏极电压 V_D , 也即在 $-25^{\circ}C$ 时 $V_D=3.012V$ 、在 $+25^{\circ}C$ 为 $3.0V$ 、在 $+75^{\circ}C$ 为 $2.988V$ 。

通过方程 (11) 可以获得 FET Q_1 的漏极电流 I_D , 也即在 $-25^{\circ}C$ 时 $I_D=9.6mA$ 、在 $+25^{\circ}C$ $I_D=10mA$ 、在 $+75^{\circ}C$ $I_D=10.4mA$ 。

这些都示于图 3 中。

漏极电流在室温的变化率为 $\pm 4\%$ 。

另一方面, 根据方程 (8), 在不考虑温度的情况下, 现有技术偏压电路的 PNP 晶体管 Q_2 的基极 $V_{B_2'}$ 为 $2.3V$ 。

根据方程 (9), FET Q_1 的漏极电压 $V_{D'}$ 在 $-25^{\circ}C$ 为 $3.1V$ 、在 $+25^{\circ}C$ 为 $3.0V$ 、在 $+75^{\circ}C$ 为 $2.9V$ 。

根据方程 (14), 漏极电流 $I_{D'}$ 在 $-25^{\circ}C$ 为 $6.667mA$ 、在 $+25^{\circ}C$ 为 $10mA$ 及在 $+75^{\circ}C$ 为 $13.333mA$ 。

这些示于图 3 中。

因此, 现有技术偏压电路的漏极电流的变化率在室温下为 $\pm 33.3\%$ 。

通过上述描述, 可以清楚地看出根据本发明漏极电流随温度变化的变化率。有了实质上的改善。

图 4 示出了本发明偏压电路及现有技术偏压电路的漏极电流变化率特性。也即图 4 表示了，当正电源电压 V_{DD} 为 + 3.3V 时漏极电压 V_D 变化时，在室温下漏极电流变化率的计算结果。

根据本发明的偏压电路，漏极电流的变化率恒定为大约 4 % 而与设定的漏极电压 V_D 无关，然而，根据现有技术的偏压电路，变化率随漏极电压的上升而上升。

下面将参考图 5 对本发明的第二个实施例进行描述。第二个实施例与图 1 中所示的第一个实施例的区别在于，第一个实施例的固定电阻 R_4 被可变电阻 R_5 替代。如上所述，即使当晶体管 Q_2 和 Q_3 为同类晶体管时，实际上也不可能使它们具有相同的发射极-基极电压特性。在此情况下， $FETQ_1$ 的漏极电压会与设定值存在偏差并由此漏极电流会与设定值存在偏差。然而，通过使用可变电阻 R_5 替代固定电阻，可以调节漏极电压并由此调节了漏极电流。

虽然，在本发明的最低实施例中， $FETQ_1$ 为 N 沟道结型晶体管而正电源电压为 V_{DD} ，而本发明并不限于这些。

图 6 示出了使用 P 沟道耗尽型 $FETQ_1$ 的偏压电路。在图 6 中，负电源电压为 V_{DD} 而正电源电压为 V_{GG} 。在图 6 中的偏压电路中，晶体管 Q_2 和 Q_3 为 NPN 晶体管。对于图 6 中所示的偏压电路，可以获得由图 1 或图 5 中所示的偏压电路的相同的特性。

如上所述，本发明的特征在于通过将第二 PNP 晶体管加到第一 PNP 晶体管的偏压部分可以补偿由温度造成的第一 PNP 晶体管的发射极-基极的电压变化。

其结果，即使当将 $FETQ_1$ 的漏极电压设定在正电源电压的附近时也可限制由于温度的变化所造成的漏极电流的变化。

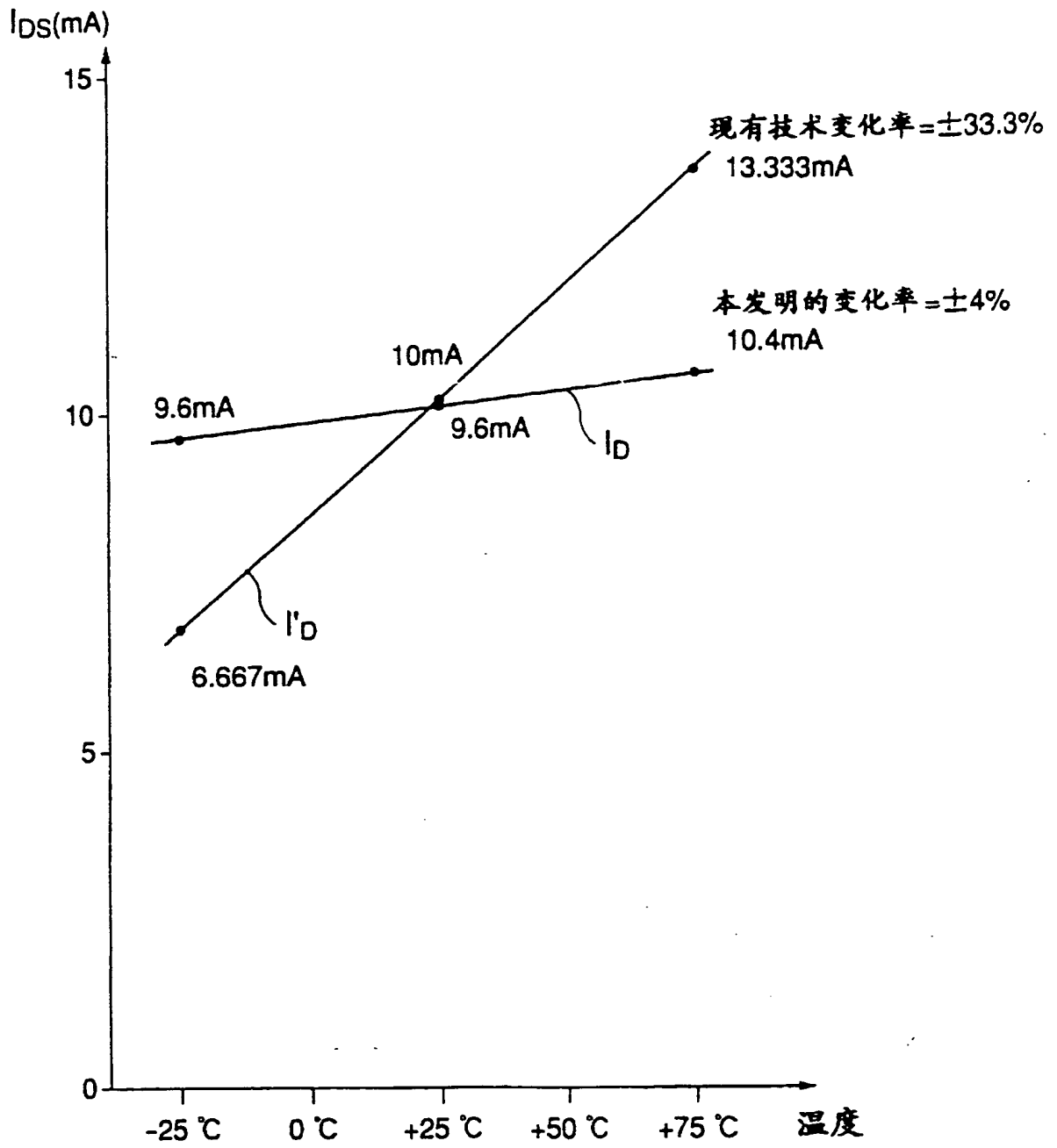


图 3

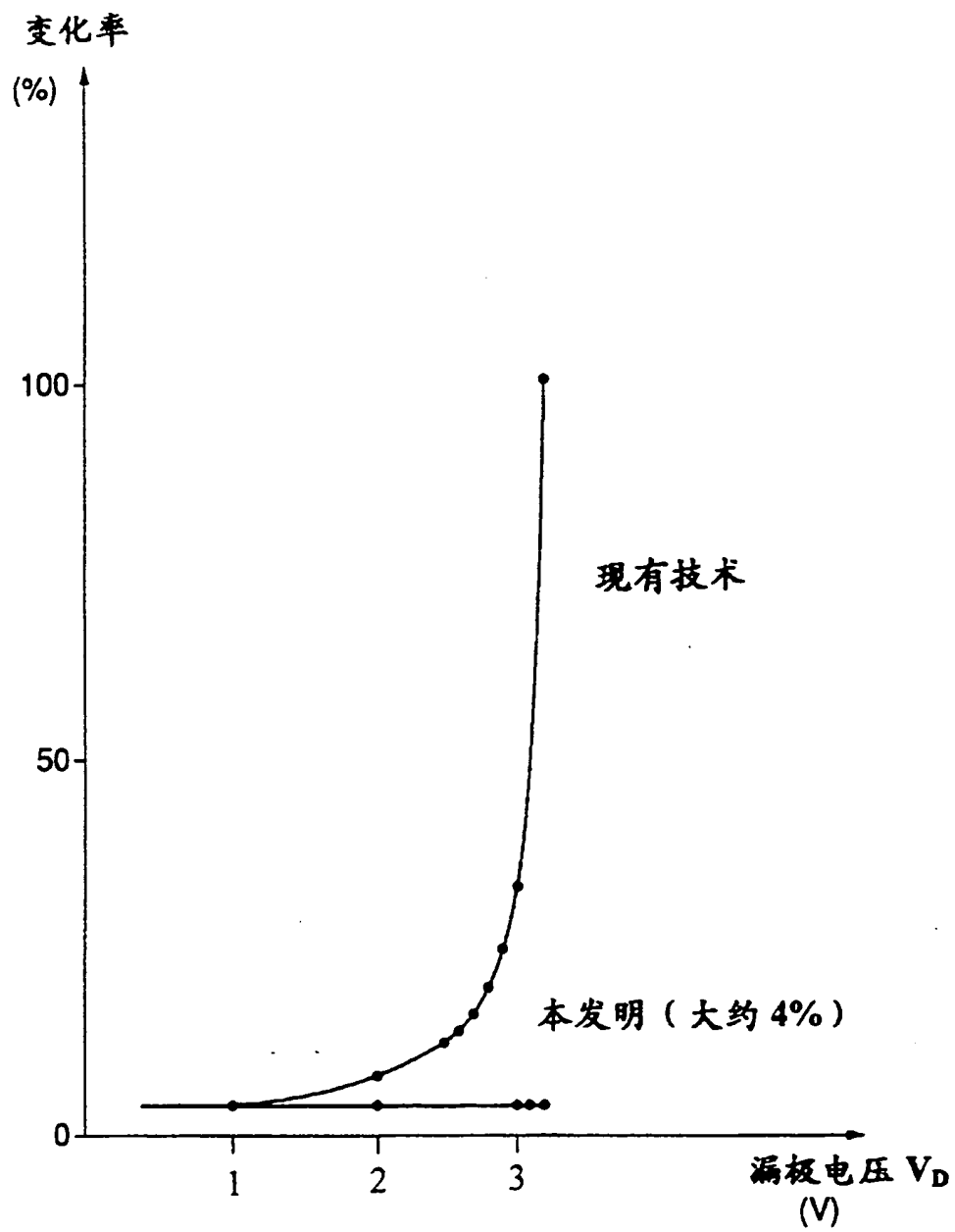


图 4

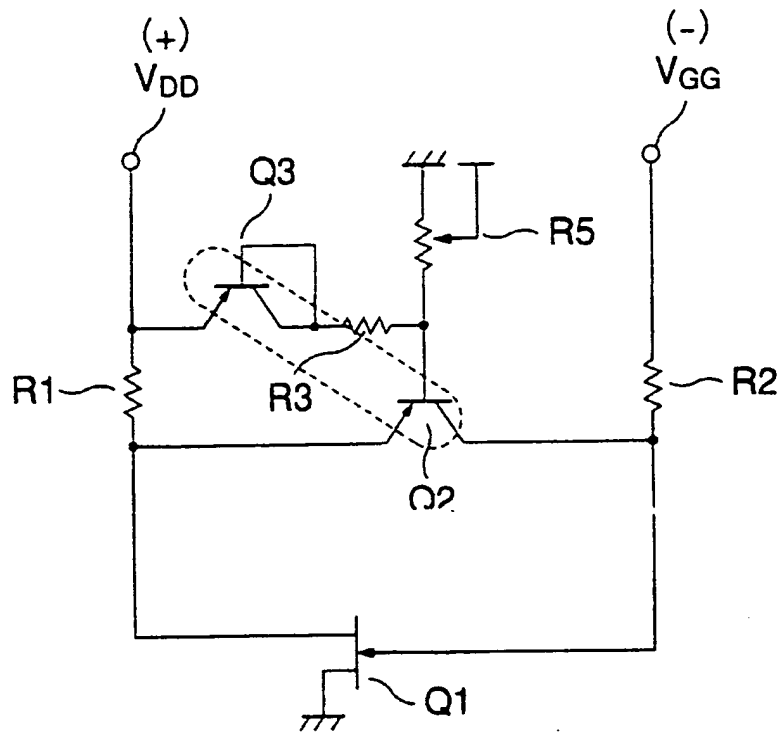


图 5

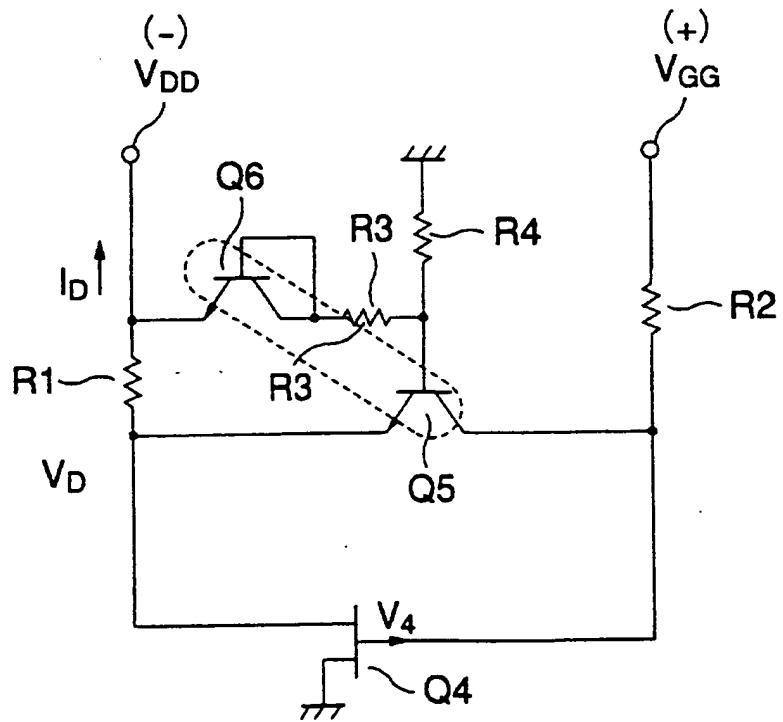


图 6

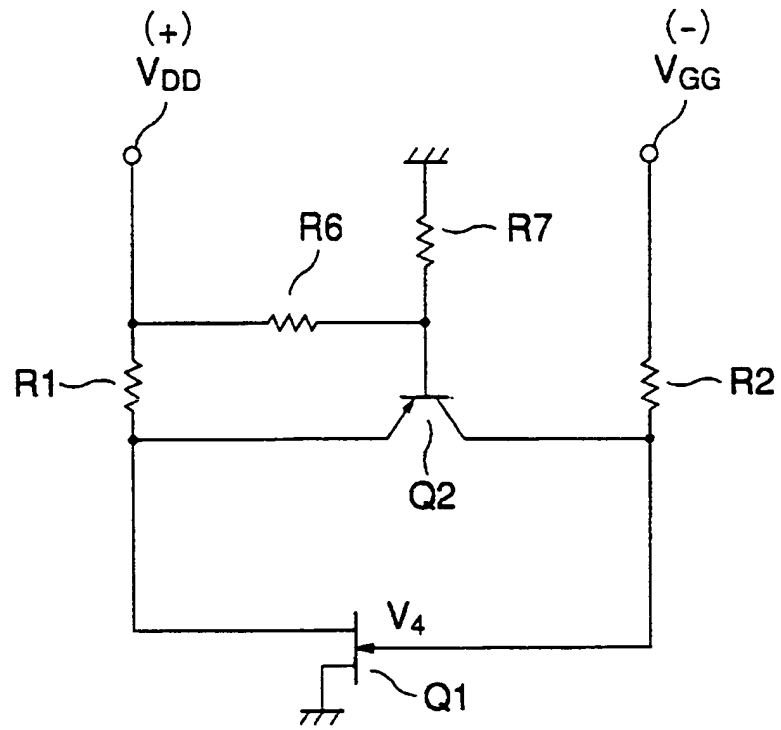


图 7